

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-316479

⑪ Int. Cl.<sup>4</sup>

H 01 L 29/78  
27/12

識別記号

311

庁内整理番号

G-7925-5F  
7514-5F

⑬ 公開 昭和63年(1988)12月23日

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 薄膜トランジスタおよびその製造方法

⑮ 特 願 昭62-151105

⑯ 出 願 昭62(1987)6月19日

⑰ 発 明 者 松 井 誠 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑱ 発 明 者 木 村 紳 一 郎 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑲ 発 明 者 村 上 英 一 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑳ 発 明 者 小 西 信 武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内  
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉒ 代 理 人 弁理士 小川 勝男 外1名  
最終頁に続く

明 細 書

1. 発明の名称

薄膜トランジスタおよびその製造方法

2. 特許請求の範囲

1. 絶縁性基体と、この絶縁性基体上に形成された半導体薄膜と、この半導体薄膜上に絶縁体薄膜とを有する構造を少なくとも有する薄膜トランジスタにおいて、前記絶縁体薄膜が、前記半導体薄膜を酸化した酸化膜と堆積絶縁膜との二層構造であることを特徴とする薄膜トランジスタ。
2. 前記絶縁性基体は耐熱温度の上限が700℃以下であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
3. 前記絶縁性基体は歪点温度が700℃以下のガラス基体となることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
4. 前記半導体薄膜はシリコンの非単結晶薄膜なることを特徴とする特許請求の範囲第1項、第2項又は第3項記載の薄膜トランジスタ。

5. 前記半導体薄膜はG・Aもしくはゲルマニウムの非単結晶薄膜なることを特徴とする特許請求の範囲第1項、第2項又は第3項記載の薄膜トランジスタ。

6. 前記絶縁性基体は透光性なることを特徴とする特許請求の範囲第1項～第5項のいずれかに記載の薄膜トランジスタ。

7. 絶縁基体上に、半導体薄膜を形成する工程と、前記半導体薄膜を酸化して酸化膜を形成する工程と、前記酸化膜上に絶縁膜を堆積する工程とを少なくとも有することを特徴とする薄膜トランジスタの製造方法。

8. 前記絶縁性基体は耐熱温度の上限が700℃以下なるものを用いることを特徴とする特許請求の範囲第7項記載の薄膜トランジスタの製造方法。

9. 前記絶縁性基体は歪点温度が700℃以下のガラス基体を用いることを特徴とする特許請求の範囲第7項記載の薄膜トランジスタの製造方法。

10. 前記半導体薄膜を酸化して酸化膜を形成する工程が、プラズマ化によつて活性化した酸素を用いて半導体薄膜を酸化する工程であることを特徴とする特許請求の範囲第7項～第9項のいずれかに記載の薄膜トランジスタの製造方法。
11. 前記半導体薄膜を酸化して酸化膜を形成する工程が、光励起した酸素原子もしくはオゾンを用いて半導体薄膜を酸化する工程であることを特徴とする特許請求の範囲第7項～第9項のいずれかに記載の薄膜トランジスタの製造方法。
12. 前記半導体薄膜を酸化して酸化膜を形成する工程が、基体の耐熱温度以下の低温熱酸化法によることを特徴とする特許請求の範囲第8項～第9項のいずれかに記載の薄膜トランジスタの製造方法。
13. 前記半導体薄膜はシリコンの非単結晶薄膜なることを特徴とする特許請求の範囲第7項～第12項のいずれかに記載の薄膜トランジスタの製造方法。
14. 前記半導体薄膜はGaAsもしくはゲルマニ

ウムの非単結晶薄膜なることを特徴とする特許請求の範囲第7項～第12項のいずれかに記載の薄膜トランジスタの製造方法。

15. 前記絶縁性基体は透光性なることを特徴とする特許請求の範囲第7項～第14項のいずれかに記載の薄膜トランジスタの製造方法。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は薄膜トランジスタに関する。本薄膜トランジスタは、例えば、液晶やエレクトロ・ルミネセンス等の平面ディスプレイの駆動用トランジスタ等に利用できる。

#### 〔従来の技術〕

近年、平面ディスプレイ用のスイッチ・マトリクスとして、絶縁性基体上の薄膜トランジスタを用いることが盛んに検討されている。薄膜トランジスタを平面ディスプレイ等に応用する場合には、生産コスト低減の観点や表示品質の向上の観点から、絶縁性基体として、例えばガラスのような、安価な透光性基体を用いることが望ましい。しか

し、この場合、基体の耐熱温度が低いことが素子製作上の問題となる。例えば、耐熱温度の上限が700℃以下の基体を用いる場合、単結晶Siの金属・酸化物・半導体(MOS)構造の電界効果トランジスタ(FET)のように、熱酸化によつてゲート絶縁膜を形成することは実際上不可能である。その理由は、700℃以下で熱酸化しても、酸化膜厚は極めて薄く、ゲート絶縁膜として使用不可能であるからである。例えば、700℃で20時間熱酸化しても、得られる酸化膜厚はわずかに190Åであり、ゲート絶縁膜としては薄過ぎて、絶縁破壊しやすく、使用不可能である。

一般に、半導体を酸化して得られる酸化膜は、半導体上に堆積した絶縁膜に較べて、半導体-絶縁体界面特性が良好であるので、金属・絶縁体・半導体(MIS)構造のFETゲート絶縁膜として最適である。埋積絶縁膜の場合には、堆積前に半導体表面に存在した不純物等が絶縁膜堆積後も界面に残るので界面性は良くないが、半導体を酸化して得られる酸化膜の場合、半導体-絶縁体

界面はもとの半導体の内部にできるので、界面には不純物等が存在せず、界面特性は良好である。

熱酸化法よりも低温で半導体を酸化して酸化膜を得る方法としては、例えば、陽極プラズマ酸化法や有磁場マイクロ波プラズマ酸化法等がある。いずれも、プラズマ化して活性化した酸素によつて酸化を促進する。単結晶Siウエーハを酸化する場合には、陽極プラズマ酸化法により、かなり厚くしても所望の膜厚の酸化膜が得られるが、絶縁基板上の多結晶半導体膜や非晶質半導体膜の場合は、バイアス電圧を印加するための電極を適切にとることが困難であるので、十分な陽極電流を一様に流すことが困難なため、所望の厚みのプラズマ陽極酸化膜を得ることは困難である。また、有磁場マイクロ波プラズマ酸化法では、磁場によつて酸化プラズマを狭い領域に閉じ込め、プラズマ密度を高め、酸化を促進しているが、陽極酸化法ではないので、得られる酸化膜厚には限界がある。例えば、基板温度640℃、酸素圧力 $2 \times 10^{-4}$  Torr、マイクロ波電力140Wの条件で

Siを3時間酸化しても得られる酸化膜厚は560Åであった。560Åの酸化膜は、欠陥の少ない単結晶SiのLSIのゲート酸化膜としては十分厚い膜であるが、表面に凹凸や欠陥のある多結晶や非晶質のSi薄膜トランジスタ用のゲート酸化膜としては、耐過電圧で絶縁破壊の可能性があり、

このように、耐熱温度が例えば700°C以下の絶縁基体上のSi薄膜を700°C以下の低温プロセスによつて酸化して得られる酸化膜は、膜厚が薄過ぎるので、薄膜トランジスタ用ゲート絶縁膜として用いるには信頼性の点で問題があつた。

一方、化学的気相成長(CVD)法、スパッタ堆積法、プラズマCVD法等により、 $SiO_2$ 、 $Al_2O_3$ 、 $Si_3N_4$ 等の絶縁体薄膜を半導体薄膜上に堆積させて、ゲート絶縁膜を形成する場合は、所望の厚みの膜を形成することが可能であり、従来の薄膜トランジスタにおいては、ゲート絶縁膜として、これら堆積絶縁膜を用いた例が多い。

第2図は、CVD法により堆積した $SiO_2$ 膜をゲート絶縁膜として用いた従来の多結晶シリコ

ン薄膜トランジスタの断面構造の一例である。この構造の薄膜トランジスタは、例えば、ジャーナル オブ アプライド フィジクス 55巻 (1984年) 第1590頁から第1595頁 (Journal of Applied Physics Vol. 55(1984) pp. 1590-1595) において論じられている。ガラス基板1上に多結晶Si薄膜2が形成され、多結晶Si薄膜中の一部分にソースおよびドレイン用のn+層3が設けられている。この多結晶Si薄膜2上に、化学的気相成長(CVD)法により堆積された $SiO_2$ 膜より成るゲート絶縁膜4が存在し、ソース電極5、ドレイン電極6、及びゲート電極7が形成されている。この場合、所望の膜厚のゲート絶縁膜4が得られるが、ゲート絶縁膜が堆積膜である故に、先に述べたように多結晶Si膜2とゲート絶縁膜4との界面の特性は良くなかつた。したがつて、薄膜トランジスタの特性もあまり良くなかつた。

以上述べたように、従来技術においては、耐熱温度が700°C以下の基体を用いる場合、半導体

を酸化して半導体-絶縁体界面特性の良好な酸化膜を半導体薄膜上に薄く形成することと、界面特性の良くない堆積絶縁膜を半導体薄膜上に所望の厚さに形成することは可能であつても、界面特性の良好な絶縁膜を半導体薄膜上に所望の厚さに形成することは困難であつた。したがつて、耐熱温度が700°C以下の絶縁基板上的薄膜トランジスタのゲート絶縁膜として、界面特性が良好で所望の厚みのものを得ることは困難であり、特性が良好で信頼性の高い薄膜トランジスタを作製することは困難であつた。

#### 〔発明が解決しようとする問題点〕

上記従来技術においては、耐熱温度が700°C以下の絶縁基体上薄膜トランジスタのゲート絶縁膜として、半導体-絶縁体界面特性が良好で、かつ、十分厚い所望の厚みのゲート絶縁膜を実現することが困難であり、したがつて、特性が良好で信頼性の高い薄膜トランジスタを作製することは困難であつた。

本発明の目的は、耐熱温度が700°C以下の絶

縁基体を用いる場合においても、界面特性が十分良好でかつ所望の厚みのゲート絶縁膜を有する薄膜トランジスタを実現することにある。

#### 〔問題点を解決するための手段〕

上記目的は、半導体膜を酸化して形成した酸化膜の上に所望の厚みの堆積絶縁膜を形成し、これら二層膜をゲート絶縁膜として用いることにより、達成される。

#### 〔作用〕

半導体膜を酸化して酸化膜を形成することにより、半導体-絶縁体界面特性の良好な絶縁膜を得ることができ、この酸化膜の上に堆積絶縁膜を形成することにより、所望の膜厚の絶縁膜を得ることができる。すなわち、この二層膜をゲート絶縁膜として用いることにより、半導体-絶縁体界面特性が良好で、かつ、所望の膜厚を有するゲート絶縁膜を得ることができ、動作特性が良好で信頼性の高い薄膜トランジスタを実現できる。

#### 〔実施例〕

以下、本発明の一実施例を第1図により説明す

る。第1図は、本発明の一実施例であるn-チャネルの多結晶シリコン薄膜トランジスタの断面構造図であり、ゲート絶縁膜が、有磁場マイクロ波プラズマ酸化膜41とCVD-SiO<sub>2</sub>膜42との二層膜であることを除けば、第2の従来例と全く同じ構造である。

まず、透光性絶縁基体1、例えば、コーニング社製#7059ガラス基体上に、例えば、超真空蒸着（分子線成長）法により、基体温度550℃において、膜厚1μmの多結晶Si膜2を形成する。ここで、蒸着中の真空度は、例えば、 $3 \times 10^{-9}$  Torrであり、蒸着速度は、例えば、5000Å/hourである。ガラス基体としては、以下の製作工程で使用する温度領域で耐熱性がありさえすれば、如何なるガラスでも勿論よい。又、他の透光性絶縁基体も上述の条件を満たせば、用い得ることはいうまでもない。コーニング社製#7059ガラスの転点温度は593℃であり、この温度は実用上の耐熱温度の上限である。また、ここで多結晶Si膜を形成する方法は、形成の際

の基体温度が基体の耐熱温度範囲内にある限りは、どのような方法を用いてもよい。本実施例の分子線成長法の他に、例えば、通常真空蒸着、プラズマCVD法等を用いることができる。

先ず、必要に応じて、多結晶Si膜2を島状に加工する。次に、適当なマスクによりイオン打ち込み領域を限定したのち、200KeVのエネルギーのp<sup>+</sup>イオンを $1 \times 10^{18}/\text{cm}^2$ のドーズ量で打ち込み、N<sub>2</sub>雰囲気中で550℃で2時間熱処理することによつて、ソースおよびドレイン領域にn<sup>+</sup>層3を形成する。

その後、二層ゲート絶縁膜を形成するが、この二層ゲート絶縁膜が本発明の構成の中心である。先ず、基板温度を560℃に保持し、酸素圧力が $2 \times 10^{-4}$  Torrの酸素雰囲気中で、140Wのマイクロ波電力により、30分間、カスプ磁場中でマイクロ波放電し、多結晶Si膜2を酸化して膜厚210Åの酸化膜（有磁場マイクロ波酸化膜）41を形成した。更に、常圧CVD法により、基板温度415℃でSiO<sub>2</sub>膜42を1000Å

の厚みに積着した。プラズマ酸化膜41とCVD-SiO<sub>2</sub>膜42から成る合計1210Åの二層膜をゲート絶縁膜として用いた。

次に、ホトエッチング工程により、電極接触用孔をあけ、全面にAlを蒸着したあと、ホトエッチング工程によりAlを加工してソース電極5、ドレイン電極6、ゲート電極7を形成する。このあと、H<sub>2</sub>雰囲気中で400℃で30分間の熱処理を行なう。以上の工程により、多結晶Si膜を酸化した酸化膜41と堆積酸化膜42の二層膜をゲート絶縁膜とする、多結晶Si薄膜トランジスタがガラス基板上に作製された。

形成されたゲート絶縁膜は、多結晶Si膜-絶縁膜界面特性は良好であり、また、膜厚も1210Åと十分厚く、従つて、このようなゲート絶縁膜を有する多結晶Si薄膜トランジスタは、良好で安定な動作特性を示した。

ゲート絶縁膜が厚さ1200ÅのCVD-SiO<sub>2</sub>膜であることを除けば上記実施例と全く同じ構造で、全く同じ工程を終った従来構造の薄膜トランジ

スタと、上記実施例の薄膜トランジスタについて、閾値電圧(V<sub>T</sub>)、電界効果移動度(μ<sub>FE</sub>)を比較すると、従来構造の薄膜トランジスタの場合V<sub>T</sub>=19V、μ<sub>FE</sub>=8cm<sup>2</sup>/V・secであつたのに対して、本実施例の薄膜トランジスタの場合は、V<sub>T</sub>=8V、μ<sub>FE</sub>=40cm<sup>2</sup>/V・secと特性が格段に向上している。

上記実施例においては、絶縁体基体として、コーニング社製#7059ガラスを用いたが、転点温度が656℃の(株)HOYA製NA40ガラスや転点温度が660℃の旭ガラス(株)製ANガラス等の他のガラス基体を用いても、本発明は有用であつた。

また、上記実施例においては、絶縁体基体としてガラス基体の場合について述べたが、どのような絶縁体基体を用いても本発明は有用であり、特に、通常の熱酸化法を用いることのできないような耐熱温度の低い絶縁体基体に用いて有用である。熱酸化法を用いることのできないような絶縁体基体の基準として、例えば耐熱温度の上限が700

て以下であると規定することができる。

ところで、ガラスの歪点 (strain point) 温度は、素子を製作するのに際して、実際上の耐熱温度の上限であるので、ガラス基体の耐熱温度をよく知られた一般的な値で表現するために、歪点温度を耐熱温度の上限の目安とすることができる。この意味で、本発明が特に有用なガラス基板は、歪点温度が700℃以下のガラス基板であると規定することができる。

また、上記実施例においては、半導体薄膜として、多結晶シリコン膜を用いたが、水素化アモルファス・シリコン膜等も含めた全てのシリコン薄膜やGaAs薄膜、ゲルマニウム薄膜等を用いても、同様の効果が得られる。

また、上記実施例においては、半導体薄膜を酸化して、二層のゲート絶縁膜の第一層の酸化膜を形成する際に、有磁場マイクロ波プラズマ酸化法を用いたが、他のプラズマ酸化法、すなわち、プラズマ化によつて活性化した酸素を用いて酸化する方法や、基体の耐熱温度以下での低温熱酸

化、光励起した酸素原子もしくはオゾンを用いる酸化法等を用いても、同様の効果が得られた。

(発明の効果)

本発明によれば、特性の良好な信頼性の高い薄膜トランジスタを耐熱温度の低い基体上にも形成することができる。従つて、安価な基体や透光性基体等、用い得る基体の範囲が広がることから、特性の良好な薄膜トランジスタを安価に製作できるのみならず、薄膜トランジスタの用途を、液晶表示装置のみならず、例えば、安価なおもちゃ用や各種画像装置用等、新しい製品へと広げることができ、本発明の工業的価値は大きい。

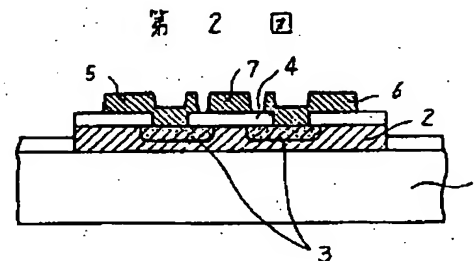
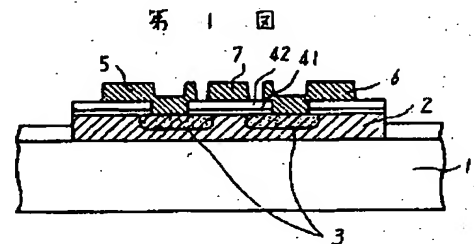
#### 4. 図面の簡単な説明

第1図は本発明の一実施例のnチャンネルの多結晶Si薄膜トランジスタの断面構造図、第2図は従来技術によるnチャンネルの多結晶Si薄膜トランジスタの断面構造図である。

1…ガラス基板、2…多結晶Si薄膜、3…n+層、4…CVD-SiO<sub>2</sub>膜、41…プラズマ酸化膜、42…CVD-SiO<sub>2</sub>膜、5…ソース電極、6…ドレイン電極、7…ゲート電極。

板、6…ドレイン電極、7…ゲート電極。

代理人 井理士 小川勝男



- |                          |                           |
|--------------------------|---------------------------|
| 1 ガラス基板                  | 6 ドレイン電極                  |
| 2 多結晶Si薄膜                | 7 ゲート電極                   |
| 3 n+層                    | 41 プラズマ酸化膜                |
| 4 CVD-SiO <sub>2</sub> 膜 | 42 CVD-SiO <sub>2</sub> 膜 |
| 5 ソース電極                  |                           |

特開昭 63-316479 (6)

第 1 頁の続き

の発 明 者 白 木 靖 寛 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-316479

(43)Date of publication of application : 23.12.1988

(51)Int.Cl.

H01L 29/78

H01L 27/12

(21)Application number : 62-151105

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.06.1987

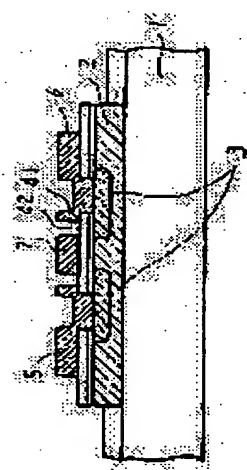
(72)Inventor : MATSUI MAKOTO  
KIMURA SHINICHIRO  
MURAKAMI HIDEKAZU  
KONISHI NOBUTAKE  
SHIRAKI YASUHIRO

## (54) THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

## (57)Abstract:

**PURPOSE:** To obtain a gate insulating film with a good interfacial characteristic and with a desired thickness even in use of an insulating substrate of 700° C or less in its heat-resisting temperature, by forming a piled insulating film of a desired thickness on an oxide film and next by using these bilayer films as the gate insulating film.

**CONSTITUTION:** A polycrystalline Si film 2 is formed on a light-transmissive insulating substrate 1 at a substrate temperature 550° C for example by a superhigh vacuum evaporation method. After an appropriate mask is used to define an ion implantation region, p<sup>+</sup> ions are implanted there and the substrate is provided with heat treatment for two hours at 55° C in an N<sub>2</sub> atmosphere so that an n<sup>+</sup> layer 3 is formed on the source and drain regions. Subsequently the substrate temperature is maintained to be 560° C and microwave discharge in a cusp magnetic field is performed in an oxygen atmosphere for 30 min., so that the polycrystalline Si film 2 is oxidized to form an oxide film 41. Further a normal pressure CVD method is used to stick an SiO<sub>2</sub> film 42 on the film 41 at the substrate temperature 415° C, so that a bilayer film composed of the plasma oxidizing film 41 and the SiO<sub>2</sub> film 42 is used as a gate insulating film. Hence a gate insulating film with a good interfacial characteristic and of a desired thickness can be obtained on even the insulation substrate of 700° C or below in its heat-resisting temperature.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office